

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-251967

(43)Date of publication of application : 22.09.1997

(51)Int.Cl.

H01L 21/28  
H01L 21/3205  
H01L 21/8238  
H01L 27/092

(21)Application number : 08-058865

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.03.1996

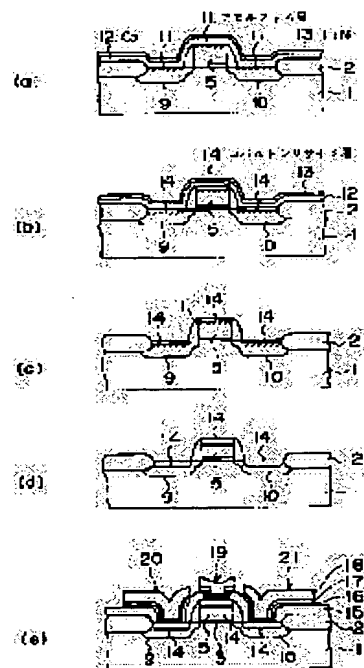
(72)Inventor : FUSHIDA ATSUO  
GOTO KENICHI  
YAMAZAKI TATSUYA  
SUKEGAWA TAKAE  
KASE MASATAKA  
SAKUMA TAKASHI  
OKAZAKI KEISUKE  
OTA YUZURU  
TAKAGI HIDEO

## (54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a cobalt silicide layer wherein a spike is hard to occur on the bottom surface, relating to a manufacturing method for a semiconductor device containing a silicide process.

**SOLUTION:** On the upper layer part of an impurity diffusion layer 9 of a silicon, an amorphous layer 11 is formed by ion implantation, and after an cobalt film 12 is formed on the impurity diffusion layer 9, the cobalt film 12 and the silicon in the impurity diffusion layer 9 are made to react each other in the first thermal treatment, so that a cobalt silicide layer 14 made of CoSi or Co<sub>2</sub>Si at low temperature is formed on the upper layer part of the amorphous layer 11. Then, no-reaction cobalt is removed, and in the second thermal treatment, the CoSi or Co<sub>2</sub>Si constituting the cobalt silicide layer 14 is decomposed into CoSi<sub>2</sub> for lower resistance, and at the same time, the cobalt silicide layer 14 is made protruded up to the depth of the initial amorphous layer 11 or further.



## LEGAL STATUS

[Date of request for examination] 17.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-251967

(43) 公開日 平成 9 年 (1997) 9 月 22 日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1		H 0 1 L 21/28	3 0 1 S
21/3205			21/88	Q
21/8238			27/08	3 2 1 F
27/092				

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願平8-58865

(22) 出願日 平成 8 年 (1996) 3 月 15 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号

(72) 発明者 伏田 篤郎

神奈川県川崎市中原区上小田中 1015 番地  
富士通株式会社内

(72) 発明者 後藤 賢一

神奈川県川崎市中原区上小田中 1015 番地  
富士通株式会社内

(74) 代理人 弁理士 岡本 啓三

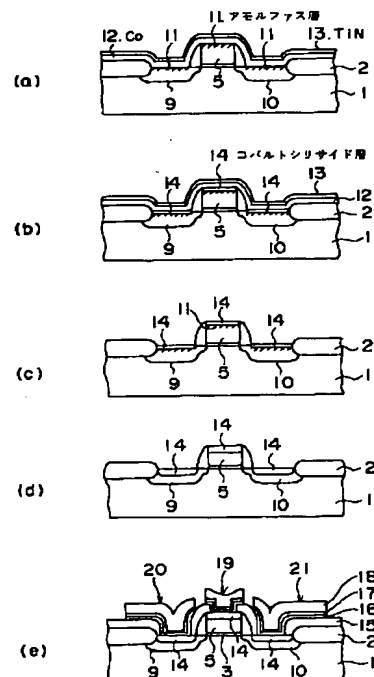
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】サリサイドプロセスを有する半導体装置の製造方法に関し、底面でスパイクが生じ難いコバルトシリサイド層を形成すること。

【解決手段】シリコンよりなる不純物拡散層 9 の上層部にイオン注入により非晶質層 11 を形成し、さらにコバルト膜 12 を不純物拡散層 9 の上に形成した後、1 回目の熱処理によりコバルト膜 12 と不純物拡散層 9 内のシリコンとを反応させてその非晶質層 11 の上層部に低温で  $\text{CoSi}$  又は  $\text{Co}_2\text{Si}$  よりなるコバルトシリサイド層 14 を形成し、続いて未反応のコバルトを除去し、ついで 2 回目の熱処理によってコバルトシリサイド層 14 を構成する  $\text{CoSi}$  又は  $\text{Co}_2\text{Si}$  を  $\text{CoSi}_2$  に変化させて低抵抗化するとともに、コバルトシリサイド層 14 を初期の非晶質層 11 の深さと同じかそれよりも深く入り込ませる工程を含む。



## 【特許請求の範囲】

【請求項1】シリコン層の上層部に不純物を導入し、熱処理により不純物拡散層を形成する工程と、  
前記不純物拡散層の上層部に元素をイオン注入することにより非晶質層を形成する工程と、  
前記非晶質層の上にコバルト膜を形成する工程と、  
前記コバルト膜と前記不純物拡散層を第1の温度により加熱して、前記非晶質層の上層部に $\text{Co}_2\text{Si}$ 又は $\text{CoSi}$ よりなるコバルトシリサイド層を形成する工程と、  
前記不純物拡散層内のシリコンと反応しなかった前記コバルト膜を除去する工程と、  
前記コバルトシリサイド層及び前記不純物拡散層を第2の温度により加熱することにより、前記 $\text{Co}_2\text{Si}$ 又は $\text{CoSi}$ を $\text{CoSi}_2$ に変化させるとともに、前記コバルトシリサイド層を前記非晶質層と同じ深さまたは前記非晶質層より深く形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記第1の温度は450℃以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記第2の温度は、500℃以上であって不純物拡散層を形成する前記熱処理の際の温度よりも低いことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記コバルト膜は8～20nmの厚さに形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】前記コバルト膜を形成後、前記熱処理を行う前に、前記コバルト膜上にキャップ層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】前記元素は、ゲルマニウム、シリコン、砒素であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】前記ゲルマニウムは $8 \times 10^{13} \text{ atoms/cm}^2$ 以上でイオン注入され、前記シリコンは $8 \times 10^{14} \text{ atoms/cm}^2$ 以上でイオン注入され、前記砒素は $8 \times 10^{13} \text{ atoms/cm}^2 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ でイオン注入されることを特徴とする請求項6記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、より詳しくは、サリサイドプロセスを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】今日の半導体デバイスの高集積化、高速度化のスピード化はめざましく、高速3次元画像処理や高速通信などを家庭のパソコンやゲーム機で簡単に楽しめるようになってきた。このような高性能化は、CMOSデバイスのサイズを単に微細化することによって実現されてきた。現在のCMOSデバイスは、ゲート長が0.35 $\mu\text{m}$ 程度の大きさの量産段階にあり、研究レベルでは

0.1～0.05 $\mu\text{m}$ のCMOSデバイスも報告されている。しかし、ゲート長が0.35 $\mu\text{m}$ よりも小さくなるデバイスではスケーリング則に従わない寄生抵抗が大きくなり、従来のトレンド通りには性能が上らない。そこでゲート、ソース及びドレインを同時にシリサイド化して低抵抗化するプロセス、即ちサリサイドプロセスが必須の技術になっている。

【0003】MOSTランジスタにおいて、ショートチャネル効果などを抑えるために拡散層を浅くすると、拡散層の抵抗の増大をもたらすので、ゲート電極を構成するポリシリコン表面やソース層及びドレイン層の表面を自己整合的にシリサイド化して低抵抗化する技術が検討されている。そのシリサイドとしては、 $\text{TiSi}_2$ 、 $\text{CoSi}_2$ 、 $\text{NiSi}$ などの材料が用いられる。

【0004】次に、ゲート、ソース、ドレインの表層にCoサリサイドを用いたMOSTランジスタの一般的な製造工程について説明する。まず、図20(a)に示すように、シリコン基板101のうちLOCOS酸化膜102によって分離された領域の表面を熱酸化によって50Å程度のゲート酸化膜103を形成する。続いて、その上にCVD法により1500Å程度の膜厚のポリシリコン膜104を形成する。

【0005】次に、図20(b)に示すように、ポリシリコン膜104内にボロン、リン或いは砒素のいずれかをイオン注入した後に、ポリシリコン膜104をパターニングしてゲート電極105を形成する。この後に例えば隣をイオン注入して浅い不純物注入層106を形成する。次に、図20(c)に示すようにCVD法により1000Å程度の厚さのシリコン酸化膜を形成し、ゲート電極105が露出するまで異方性エッチングを行い、シリコン酸化膜をサイドウォール107として残す。

【0006】その後、隣をイオン注入して深い不純物注入層108を形成した後に、浅い不純物注入層106と深い不純物注入層108を加熱処理により活性化し、これによりゲート電極105の両側のシリコン基板101にLDD構造のソース層109とドレイン層110を形成することになる。次に、バッファードフッ酸によりゲート電極105、ソース層109、ドレイン層110それぞれの表面のシリコン酸化膜（自然酸化膜）を除去した後に、図20(d)に示すように100Å程度のコバルト膜111と300Å程度の窒化チタン膜112を形成し、550℃30秒のRTA(rapid thermal annealing)処理によってシリサイド化してコバルトシリサイド層113を形成する。

【0007】続いて、図20(e)に示すように窒化チタン膜112と未反応のコバルト膜111とを除去し、さらに850℃30秒のRTA処理を行い、これによりゲート電極105、ソース層109及びドレイン層110の表面に形成されたコバルトシリサイド層114をさらに低抵抗化する。そのようなサリサイド技術は基本的な工程であり、その改良技術として、シリサイド層の平坦化技術が特開昭62-3

3466号公報に示され、また、シリサイド層の膜厚の均一化技術が特開平5-291180号公報に記載されている。

#### 【0008】

【発明が解決しようとする課題】以上のようなコバルトシリサイド層の形成は、ソース層及びドレイン層が深い場合には特に問題はないが、例えば100nm程度まで浅くなってくると、リーク電流が流れやすくなるという問題がある。その原因としては、コバルトシリサイド層の底からコバルトシリサイドのスパイクが発生してソース層及びドレイン層を突き抜けるためと考えられる。このようなコバルトシリサイドのスパイクは、コバルトシリサイド層を上記した2つの特許公報に記載された方法や温度条件によって形成しても生じた。

【0009】本発明は、このような問題に鑑みてなされたものであって、底面でスパイクが生じ難いコバルトシリサイド層を形成する工程を含む半導体装置の製造方法を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

(手段)上記した課題は、図1、2に例示するように、シリコン層1の上層部に不純物を導入し、熱処理により不純物拡散層9、10を形成する工程と、前記不純物拡散層9、10の上層部に元素をイオン注入することにより非晶質層11を形成する工程と、前記非晶質層11の上にコバルト膜12を形成する工程と、前記コバルト膜12と前記不純物拡散層9、10を第1の温度により加熱して、前記非晶質層11の上層部に $\text{Co}_2\text{Si}$ 又は $\text{CoSi}$ よりなるコバルトシリサイド層14を形成する工程と、前記不純物拡散層9、10内のシリコンと反応しなかった前記コバルト膜12を除去する工程と、前記コバルトシリサイド層14及び前記不純物拡散層9、10を第2の温度により加熱することにより、前記 $\text{Co}_2\text{Si}$ 又は $\text{CoSi}$ を $\text{CoSi}_2$ に変化させるとともに、前記コバルトシリサイド層14を前記非晶質層11と同じ深さ又は前記非晶質層11より深く形成する工程とを有することを特徴とする半導体装置の製造方法によって解決する。

【0011】上記半導体装置の製造方法において、前記第1の温度は450℃以下であることを特徴とする。上記半導体装置の製造方法において、前記第2の温度は、500℃以上であって不純物拡散層を形成する前記熱処理の際の温度よりも低いことを特徴とする。上記半導体装置の製造方法において、前記コバルト膜は8～20nmの厚さに形成することを特徴とする。

【0012】上記半導体装置の製造方法において、前記コバルト膜を形成した後、前記熱処理を行う前に前記コバルト膜上に、コバルトと反応しないキャップ層(例えばTiN)を形成する工程を有することを特徴とする。上記半導体装置の製造方法において、前記元素は、ゲルマニウム、シリコン、砒素であることを特徴とする。この場合、前記ゲルマニウムは $8 \times 10^{13} \text{atoms/cm}^2$ 以上で

イオン注入され、前記シリコンは $8 \times 10^{14} \text{atoms/cm}^2$ 以上でイオン注入され、前記砒素は $8 \times 10^{13} \text{atoms/cm}^2 \sim 5 \times 10^{14} \text{atoms/cm}^2$ でイオン注入されることを特徴とする。

【0013】(作用)次に、本発明の作用について説明する。本発明によれば、不純物拡散層の上層部にコバルトシリサイド層を形成するために、シリコンよりなる不純物拡散層の上層部にイオン注入により非晶質層を形成し、さらにコバルト膜を不純物拡散層の上に形成した後、1回目の熱処理によりコバルト膜と不純物拡散層内のシリコンとを反応させてその非晶質層の上層部に低温で $\text{CoSi}$ 又は $\text{Co}_2\text{Si}$ よりなるコバルトシリサイド層を形成し、続いて未反応のコバルト膜を除去し、ついで2回目の熱処理によってコバルトシリサイド層を構成する $\text{CoSi}$ 又は $\text{Co}_2\text{Si}$ を $\text{CoSi}_2$ に変化させてシート抵抗を低抵抗化するとともに、コバルトシリサイド層を初期の非晶質層の深さと同じかそれよりも深く入り込ませている。

【0014】このような工程によれば、コバルトシリサイド層を形成するための1回目の熱処理及び2回目の熱処理の際に、コバルトシリサイド層の構成元素の下方への移動が非晶質層によって妨げられ、コバルトシリサイド層のスパイクの発生は防止される。しかも、2回目の熱処理の際に、非晶質層の初期の深さまでコバルトシリサイド層を広げて、非晶質層が再結晶化してもその再結晶がコバルトシリサイド層により浸漬させるようにしたので、抵抗の高い再結晶とコバルトシリサイド層との接合が妨げられ、コンタクト抵抗の上昇が防止される。

【0015】その1回目の熱処理の温度が450℃以上になると、非晶質層が下から再結晶化してしまうので、非晶質化した意味がなくなる。また、2回目の熱処理の温度が不純物拡散層を活性化するための温度以上であれば、シリサイド層からコバルトが溶け出して接合リークを増大させるので好ましくない。このようなコバルトシリサイド層はMOSTランジスタのソース層、ドレイン層などに使用されてそれらの層を低抵抗化する。

【0016】なお、非晶質層を形成するためにイオン注入する元素は、特に限定するものではないが、質量の大きなゲルマニウム、シリコンや、ドーパントに使用される砒素などが好ましい。

#### 【0017】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基づいて説明する。以下に、本発明の実施の形態について説明する。図1は、本発明の一実施形態の工程を示す断面図である。まず、図1(a)に示すように、シリコン基板1のうちLOCOS酸化膜2によって分離された領域の表面を熱酸化し、これによって厚さ5nm程度のゲート酸化膜3を形成する。続いて、ゲート酸化膜3及びLOCOS酸化膜2の上にCVD法により150nm程度の膜厚のポリシリコン膜4を形成する。

【0018】次に、図1(b)に示すように、ポリシリコ

ン膜4内に例えば砒素をイオン注入した後に、ポリシリコン膜4及びゲート酸化膜3をパターニングしてポリシリコン膜4によりゲート電極5を形成する。この後に、ゲート電極5をマスクに使用して例えば砒素をシリコン基板1にイオン注入して浅い不純物注入層6を形成する。そのイオン注入のドーズ量は $3 \times 10^{14}$ atm/cm<sup>2</sup>であり、その加速エネルギーは10keVである。

【0019】次に、CVD法により100nm程度の厚さのシリコン酸化膜を形成する。続いて、ゲート電極5の上面が露出するまでシリコン酸化膜を垂直方向に異方性エッチングして、図1(c)に示すようにシリコン酸化膜をゲート電極5の側面にサイドウォール7として残す。その後、ゲート電極5をマスクに使用して砒素をシリコン基板1にイオン注入して深い不純物注入層8を形成する。そのイオン注入のドーズ量は $2 \times 10^{15}$ atm/cm<sup>2</sup>であり、その加速エネルギーは40keVである。

【0020】次に、1000℃で10秒間のRTA処理によってゲート電極5内の砒素を内部に拡散させるとともに、浅い不純物注入層6と深い不純物注入層8の砒素を活性化させて図1(d)に示すようなLDD構造のソース層9とドレイン層10をゲート電極5の両側のシリコン基板1に形成する。この場合、ソース層9とドレイン層10のうちサイドウォール7に重ならない領域の深さはシリコン基板1の表面から100nm程度となる。

【0021】その後、図1(e)に示すように、ソース層9、ドレイン層10を含む全体にゲルマニウムをイオン注入し、これによりゲート電極5、ソース層9及びドレイン層10の表層にアモルファス(非晶質)層11を形成する。そのイオン注入は、ドーズ量 $8 \times 10^{13}$ atm/cm<sup>2</sup>以上である。また、イオン注入時の加速エネルギーは、ソース層9とドレイン層10の底よりも浅くアモルファス層11が形成され、しかも後のシリサイド化用第1回目加熱処理時にアモルファス層11が消失しない程度に深く、さらにシリサイド化用第2回目加熱処理時にアモルファス層11が消失する大きさに設定する。

【0022】具体的には、これから形成しようとするシリサイド層の深さによるが、ソース層9、ドレイン層10の深さが100nmの場合に、20~40keV程度の範囲内にある。続いて、バッファードフッ酸によりゲート電極5、ソース層9、ドレイン層10それぞれの表面のシリコン酸化膜を除去する。バッファードフッ酸は、フッ酸を2、水を100の割合の混合液であり、その除去時間は60秒程度である。

【0023】次に、図2(a)に示すように全体に厚さ8~20nm程度のコバルト(Co)膜12と30nm程度の窒化チタン(TiN)膜13をスパッタにより順次形成する。コバルト膜12の成長の際には、成長雰囲気圧力を5mTorr、成長雰囲気へのアルゴンガス流量を100sccm、コバルトターゲットに印加する直流電力量を0.2W/cm<sup>2</sup>とした。コバルト膜12の厚さは、ゲルマニウムイオ

ン注入エネルギーを大きくするほど厚くする。

【0024】また、窒化チタン膜13の成長の際には、成長雰囲気圧力を5mTorr、成長雰囲気へのアルゴンガス流量を50sccm、窒素ガス流量を50sccm、窒化チタンターゲットに印加する直流電力量を7.0W/cm<sup>2</sup>とした。窒化チタン膜13は、シリサイド化の際にシリサイド層の表面に凹凸が生じるのを抑制するために形成される。

【0025】その後、上記したシリサイド化用第1回目加熱処理を行う。即ち、図2(b)に示すように、窒素又はアルゴンの雰囲気中で、400~450℃で30秒間のRTA(rapid thermal annealing)処理を行ってゲート電極5、ソース層9、ドレイン層10のそれぞれの表面をシリサイド化すると、アモルファス層11の上部にCo<sub>2</sub>Si又はCoSiよりなるコバルトシリサイド層14が形成される。なお、RTA温度が400℃よりも低くなると、コバルトシリサイド層14は形成されず、また、450℃よりも高くなるとアモルファス層11の下が再結晶化されるので好ましくない。この加熱処理時には、アモルファス層11の上部がコバルトシリサイド層14によって浸食されるだけでなく、アモルファス層11のうち底から単結晶化してくるが、上記したようにゲルマニウムのイオン注入エネルギーを最適化しているので、この段階でアモルファス層11が消滅することなく、わずかでも残っている。

【0026】次に、図2(c)に示すように、70℃に加熱した過酸化水素とアンモニア水の混合液(H<sub>2</sub>O<sub>2</sub>:NH<sub>4</sub>OH:H<sub>2</sub>O=1:1:4)に180秒間浸けることにより窒化チタン膜13を除去し、続けて硫酸と過酸化水素の混合液(H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=3:1)に20分間浸けることにより未反応のコバルト膜12を除去する。この場合、コバルトシリサイド層14はそのまま残る。

【0027】次に、シリサイド化用第2回目加熱処理を行う。即ち、図2(d)に示すように、窒素又はアルゴンの雰囲気中でコバルトシリサイド層14を600℃~900℃の温度範囲で加熱する。これにより、コバルトシリサイド層14はCo<sub>2</sub>Si又はCoSiからCoSi<sub>2</sub>に変わって低抵抗化する。この場合、600℃よりも加熱温度を低くすると、CoSi<sub>2</sub>が生じにくくなって低抵抗化が達成できなくなる。また、900℃以上よりも加熱温度が高くなると、コバルトシリサイド層14からCo原子が溶け出し接合リークを増大させる。

【0028】これにより得られたコバルトシリサイド層14の厚さは、ソース層9及びドレイン層10を構成する不純物拡散層の残った厚さを1とすると、0.5~2.0程度になる。この後に、図2(e)に示すように、全体にCVD法により700nmの厚さのシリコン酸化膜15を形成し、ついで、シリコン酸化膜15をパターニングしてゲート電極5、ソース層9及びドレイン層10の上にコンタクトホールを形成した後に、膜厚20nmのチタン膜16、膜厚100nmの窒化チタン膜17、膜厚500

nmのアルミ層18を形成し、これらの3つの層16~18をフォトリソグラフィ法によってパターンニングして一般的なゲート引出電極19、ソース引出電極20、ドレイン引出電極21を形成する。

【0029】なお、上記した説明では、アモルファス層14を形成するためにゲルマニウムを使用した、シリコン、砒素、硼素など他の元素をイオン注入しても良い。なお、元素の質量や、不純物拡散層の不純物濃度の制御などを考慮すると、ゲルマニウム、シリコンが好ましい。ゲルマニウムは $8 \times 10^{13}$  atoms/cm<sup>2</sup>以上でイオン注入され、シリコンは $8 \times 10^{14}$  atoms/cm<sup>2</sup>以上でイオン注入され、砒素は $8 \times 10^{13}$  atoms/cm<sup>2</sup> ~  $5 \times 10^{14}$  atoms/cm<sup>2</sup>でイオン注入される。

【0030】以上のような工程により形成されたMOSトランジスタにおけるコバルトシリサイド層14の底部には殆どスパイクが発生せず、リーク電流が抑制された。以下に、コバルトシリサイド層14のスパイク発生について詳述する。図3(a)に示すように、シリコン基板1をアモルファス化しないでその上に膜厚10nmのコバルト層12を形成した後に次に示すような第1の実験を行った。

【0031】まず、図3(b)に示すように、コバルト層12及びシリコン基板1を400℃で加熱したところ、Co<sub>2</sub>Siで示されるコバルトシリサイド層14がシリコン基板1の表層に形成された。次に、図3(c)に示すように、コバルトシリサイド層14及びシリコン基板1を450℃で加熱したところ、コバルトシリサイド層14を構成していたCo<sub>2</sub>SiがCoSiに変化した。続いて、図3(d)に示すように、コバルトシリサイド層14をさらに600℃で加熱したところ、CoSiがCoSi<sub>2</sub>に変化し、しかもコバルトシリサイド層14の底面にはスパイク22が生じていた。未反応コバルトを除去した後のCoSi<sub>2</sub>とSiの界面の断面図をTEM観察したところ、図4に示すようになり、その界面は凹凸があり、最大で約80nmのつらら状の異常成長(スパイク)が生じていた。

【0032】次に、図5(a)に示すように、シリコン基板1を表面から浅くアモルファス化した後に、その上に膜厚10nmのコバルト層12を形成し、ついで次に示すような第2の実験を行った。まず、図5(b)に示すように、コバルト層12及びシリコン基板1を400℃で加熱したところ、Co<sub>2</sub>Siで示されるコバルトシリサイド層14がシリコン基板1表層に形成され、その底部には薄いアモルファス層11が残った。つぎに、図5(c)に示すように、400℃で加熱されたコバルト層14及びシリコン基板1をさらに450℃で加熱したところ、コバルトシリサイド層14を構成するCo<sub>2</sub>SiがCoSiに変わり、しかもコバルトシリサイド層14がアモルファス層11を全て浸食した。そしてコバルトシリサイド層14の底面にはスパイクが生じていた。さらに、図5(d)に示すように、コバルトシリサイド層14を再び600℃

で加熱したところ、CoSi<sub>2</sub>で示されるコバルトシリサイド層14が形成され、その底面にはスパイク22が生じていた。

【0033】次に、図6(a)に示すように、シリコン基板1の表層を深くアモルファス化した後に膜厚10nmのコバルト層12を生成し、さらに次に示す第3の実験を行った。まず、図6(b)に示すように、コバルト層12及びシリコン基板1を400℃で加熱したところ、Co<sub>2</sub>Siで示されるコバルトシリサイド層14がシリコン基板1の表層に形成され、その底部には薄いアモルファス層11が残った。続いて、図6(c)に示すように、400℃で加熱されたコバルトシリサイド層14及びシリコン基板1をさらに450℃で加熱したところ、コバルトシリサイド層14を構成するCo<sub>2</sub>SiがCoSiに変わり、その下方にはアモルファス層11が存在したが、アモルファス層11の底部はわずかに再結晶化していた。さらに、図6(d)に示すように、コバルトシリサイド層14を再び600℃で加熱したところ、CoSi<sub>2</sub>で示されるコバルトシリサイド層14が形成され、その底面にはスパイク22が生ぜず、しかも、その下方ではアモルファス層11が再結晶化した結果のシリコン層23が存在していた。

【0034】従って、コバルトシリサイド層14からのスパイクの発生を防止するためには第3の実験の工程のようにアモルファス層11を十分に深くすればよいとも考えられる。しかし、再結晶化したシリコン層23には実際には図2に示すようにソース層及びドレイン層が存在し、アモルファス層11内の不純物の活性化は850℃程度の加熱温度では十分ではなく、コバルトシリサイド層14とソース層/ドレイン層とのコンタクト抵抗が十分に低減できなくなる。これにより、ソース層及びドレイン層の低抵抗化というシリサイド化の当初の目的を達成できない。

【0035】次に、図7(a)に示すように、シリコン基板の表層をアモルファス化した後に膜厚10nmのコバルト層12を形成し、さらに、次に示す第4の実験を行った。この実験では、アモルファス層11の深さを適正な値にした、即ち、1回目の加熱処理後にコバルトシリサイド層14の下にアモルファス層11が存在し、また、600℃の再加熱処理ではアモルファス層11のうちの再結晶化したシリコン層23もコバルトシリサイド層14によって浸食されるようにした。

【0036】まず、図7(b)に示すように、コバルト層12及びシリコン基板1を400℃で30秒間加熱したところ、Co<sub>2</sub>Siで示されるコバルトシリサイド層14がシリコン基板1表層に形成され、その下方にはアモルファス層11が残った。続いて、図7(c)に示すように、コバルトシリサイド層14及びシリコン基板1をさらに450℃で30秒間加熱したところ、コバルトシリサイド層14を構成するCo<sub>2</sub>SiがCoSiに変わった。また、そ

のコバルトシリサイド層14は、厚さが20.2nmであり、そのうち2.0nmがシリコン基板1の表面から突出した状態となった。また、コバルトシリサイド層14の下方には再結晶したシリコン層23とアモルファス層11が存在し、これらの厚さは合計で18.2nm以下であった。

【0037】さらに、図7(d)に示すように、コバルトシリサイド層14及びシリコン基板1を600℃で30秒間、再加熱したところ、コバルトシリサイド層14を構成していたCoSiがCoSi<sub>2</sub>となり、厚さが35.2nmと厚くなった。この場合、コバルトシリサイド層14はシリコン基板1の表面から1.2nm沈んで存在したので、当初のアモルファス層14は完全にコバルトシリサイド層14に浸食され、しかもその下方には再結晶化したシリコン層23は存在しなかった。

【0038】従って、コバルトシリサイド層14の下に存在するソース層とドレイン層は最初に1000℃程度で活性化された低抵抗の状態を維持したままであり、これによりコバルトシリサイド層14とソース層、ドレイン層とのコンタクト抵抗は良好であった。また、CoSi<sub>2</sub>とSiの界面をTEM観察したところ図4のような異常成長はみられず、その界面は比較的平坦であった。

【0039】以上のことから、膜厚10nm～20nmのコバルト膜を形成し、これを第1回目で400℃～450℃の温度、第2回目で600～900℃の温度でそれぞれ30秒間加熱してCoSi<sub>2</sub>のコバルトシリサイド層14を形成する場合には、それぞれの膜厚に対して約18.2nm～26.4nm以上35.2nm～70.2nm以下の深さになるようにアモルファス層11を形成する必要があることがわかった。

【0040】また、Co<sub>2</sub>Si又はCoSiよりなるシリサイド層14を形成する場合には、シリサイド反応が起こりかつアモルファス層11の再結晶速度を極端に遅くする温度条件で行うと効果的である。例えば、図8に示すように450℃以下でアモルファス層11の再結晶速度が極端に遅くなる。また、アモルファス層11を形成する場合に、不純物を含有しない場合よりも不純物を含有する場合の方が再結晶速度が遅いことがわかる。

【0041】最後に、コバルトシリサイド層のリーク電流について説明する。リーク電流は図9に示すように、シリコン基板31を接地する一方、不純物拡散層32の上層部のコバルトシリサイド層33に正の電圧を印加した。まず、ゲルマニウムをイオン注入しない場合について説明する。550℃、30秒間の第1回目のRTAによってコバルトシリサイド層33を形成してその後未反応のコバルトを除去した直後、即ちウォッシュアウト直後の、リーク電流とバイアス電圧の関係（以下、リーク電流特性という）について不純物拡散層32の平面積を変えて調査したところ、図10(a)～(c)に示すような結果が得られ、また、リーク電流特性について不純物

拡散層32の周辺長を変えて調査したところ、図11(a)～(c)に示すような結果が得られた。

【0042】さらに、825℃、30秒間の第2回目のRTAによってCoSi<sub>2</sub>よりなるコバルトシリサイド層33を形成した後のリーク電流特性について不純物拡散層32の面積を変えて調査したところ、図12(a)～(c)に示すような結果が得られ、また、リーク電流特性について不純物拡散層32の周辺長を変えて調査したところ、図13(a), (b)に示すような結果が得られた。

【0043】図10～図13によれば、1回目のRTAの後のリーク電流特性は2回目のRTAのリーク電流特性よりも悪く、また、不純物拡散層32の面積が大きく又は周辺長が長くなる程劣化している。これは、コバルトシリサイド層33の底部のスパイクによるものである。次に、ゲルマニウムを注入して不純物拡散層32の上層部を予めアモルファス化した場合を説明する。

【0044】550℃、30秒間の第1回目のRTAを経てウォッシュアウト直後のリーク電流特性について不純物拡散層32の平面積を変えて調査したところ、図14(a)～(c)に示すような結果が得られ、また、リーク電流特性について不純物拡散層32の周辺長を変えて調査したところ、図15(a)～(c)に示すような結果が得られた。

【0045】さらに、825℃、30秒間の第2回目のRTAによってCoSi<sub>2</sub>よりなるコバルトシリサイド層33を形成した後のリーク電流特性について不純物拡散層32の面積を変えて調査したところ、図16(a)～(c)に示すような結果が得られ、また、リーク電流特性について不純物拡散層32の周辺長を変えて調査したところ、図17(a), (b)に示すような結果が得られた。

【0046】図14～図17によれば、ゲルマニウムのイオン注入によりアモルファス化した場合には、リーク電流特性のバラツキは少なく、しかも不純物拡散層32の面積、周辺長の依存性は殆ど見られない。次に、2回目のRTAの後のコバルトシリサイド層33のリーク電流特性のコバルト膜厚依存性について調べた結果を図18及び図19に示す。

【0047】図18、19から、コバルト膜が10nmの場合において、ゲルマニウムをイオン注入しない場合とイオン注入した場合とを比べると、それらの間にはリーク電流特性については殆ど差異は見られないが、コバルト膜を18nmと厚くした場合にゲルマニウムをイオン注入した場合の方が明らかに良好なリーク電流特性が得られることがわかる。

【0048】なお、コバルト膜の厚さを18nmとしてコバルトシリサイド層を形成した場合のコバルトシリサイド層のシート抵抗を調べたが、ゲルマニウムイオン注入の有無にかかわらず、約4Ω/□であった。以上の実験結果によっても、コバルト膜を形成する前にシリコン基板にゲルマニウムをイオン注入してアモルファス化する



と、不純物拡散層の面積依存性、周辺長依存性、コバルト膜厚依存性の少ない良好な接合特性が得られることがわかる。

【0049】

【発明の効果】以上述べたように本発明によれば、不純物拡散層の上層部にコバルトシリサイド層を形成するために、シリコンよりなる不純物拡散層の上層部にイオン注入により非晶質層を形成した後に、コバルト膜を不純物拡散層の上に形成した後に、1回目の熱処理によりコバルト膜と不純物拡散層内のシリコンとを反応させてその非晶質層の上層部に低温で $\text{CoSi}$ 又は $\text{Co}_2\text{Si}$ よりなるコバルトシリサイド層を形成し、続いて未反応のコバルト膜を除去し、ついで2回目の熱処理によってコバルトシリサイド層を構成する $\text{CoSi}$ 又は $\text{Co}_2\text{Si}$ を $\text{CoSi}_2$ に変化させて低抵抗化するとともに、コバルトシリサイド層を初期の非晶質層と同じかそれよりも深く入り込ませているので、コバルトシリサイド層を形成するための1回目の熱処理及び2回目の熱処理の際に、コバルトシリサイド層の構成元素の下方への移動が非晶質層によって妨げられ、コバルトシリサイド層のスパイクの発生を防止することができる。しかも、2回目の熱処理の際に、非晶質層の初期の深さまでコバルトシリサイド層を広げるようにし、非晶質層が再結晶化してもその再結晶がコバルトシリサイド層により浸漬されるので、抵抗の高い再結晶とコバルトシリサイド層との接合が妨げられ、コンタクト抵抗が上昇することを防止できる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置の製造工程を示す断面図（その1）である。

【図2】本発明の一実施形態の半導体装置の製造工程を示す断面図（その2）である。

【図3】従来のコバルトシリサイドの形成工程に沿った実験過程を示す断面図である。

【図4】従来のコバルトシリサイドの形成工程によって生成されたスパイクの一例を示す断面図である。

【図5】コバルトシリサイドを形成する際のアモルファス層が浅すぎる場合の実験過程を示す断面図である。

【図6】コバルトシリサイドを形成する際のアモルファス層が深すぎる場合の実験過程を示す断面図である。

【図7】本発明の一実施形態において、コバルトシリサイドを形成する際のアモルファス層が最適な場合の実験過程を示す断面図である。

【図8】本発明の一実施形態で形成されるアモルファス層の再結晶速度と温度の関係を示す特性図である。

【図9】不純物拡散層のリーク電流の大きさを調べるための試験状態を示す断面図である。

【図10】従来方法により形成された1回目熱処理後に未反応コバルトを除去した後のコバルトシリサイド層の

面積の相違によるリーク電流特性図である。

【図11】従来方法により形成された1回目熱処理後に未反応コバルトを除去した後のコバルトシリサイド層の周辺長の相違によるリーク電流特性図である。

【図12】従来方法により形成された2回目熱処理後のコバルトシリサイド層の面積の相違によるリーク電流特性図である。

【図13】従来方法により形成された2回目熱処理後のコバルトシリサイド層の周辺長の相違によるリーク電流特性図である。

【図14】本発明の一実施形態において、1回目熱処理後に未反応コバルトを除去した後のコバルトシリサイド層の面積の相違によるリーク電流特性図である。

【図15】本発明の一実施形態において、1回目熱処理後に未反応コバルトを除去した後のコバルトシリサイド層の周辺長の相違によるリーク電流特性図である。

【図16】本発明の一実施形態において、2回目熱処理後のコバルトシリサイド層の面積の相違によるリーク電流特性図である。

【図17】本発明の一実施形態において、2回目熱処理後のコバルトシリサイド層の周辺長の相違によるリーク電流特性図である。

【図18】従来方法と本発明の一実施形態に比較において、コバルト膜の膜厚の相違によって2回目熱処理後にコバルトシリサイド層のリーク電流がどのように異なるかを調べた特性図（その1）である。

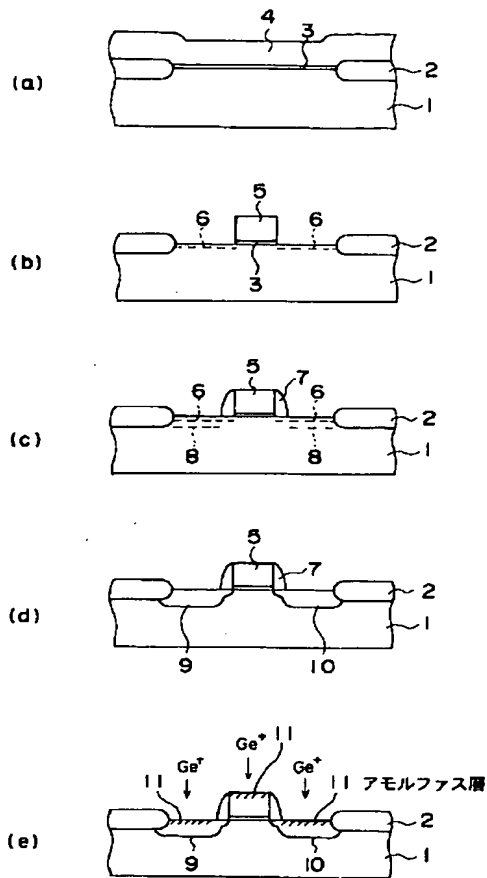
【図19】従来方法と本発明の一実施形態に比較において、コバルト膜の膜厚の相違によって2回目熱処理後にコバルトシリサイド層のリーク電流がどのように異なるかを調べた特性図（その2）である。

【図20】従来方法のコバルトシリサイド層の形成工程を示す断面図である。

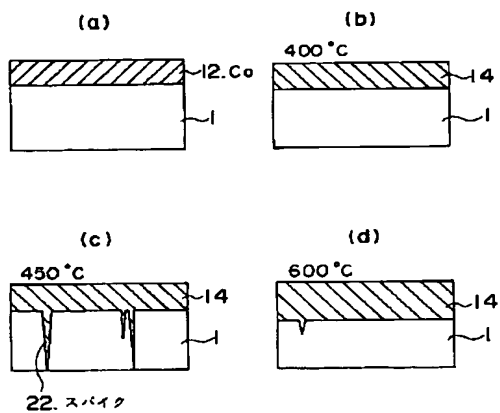
【符号の説明】

- 1 シリコン基板
- 2 LOCOS酸化膜
- 3 ゲート酸化膜
- 4 ポリシリコンン膜
- 5 ゲート電極
- 6 不純物注入層
- 7 サイドウォール
- 8 不純物注入層
- 9 ソース層
- 10 ドレイン層
- 11 アモルファス層（非晶質層）
- 12 コバルト膜
- 13 窒化チタン膜
- 14 コバルトシリサイド層

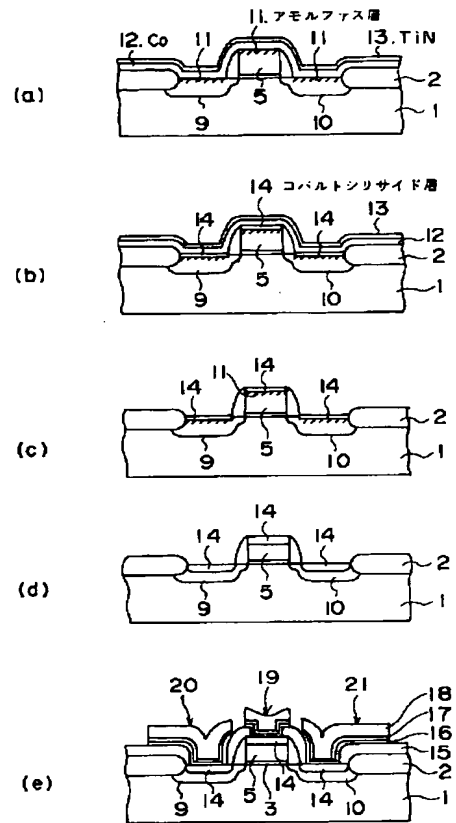
【図1】



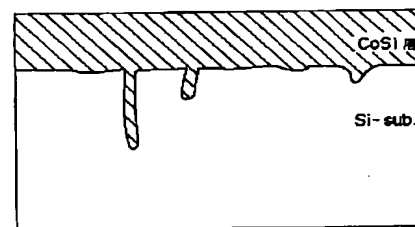
【図3】



【図2】

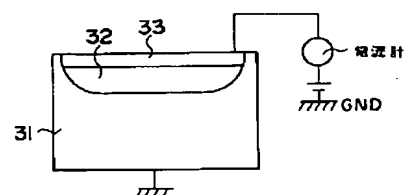


【図4】

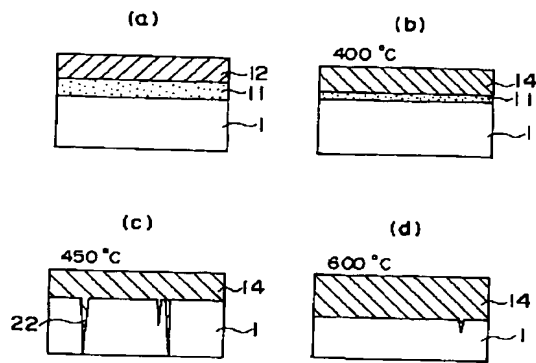


(1 st. F.A. 450°C. 30min. ウォッシュアウト後)

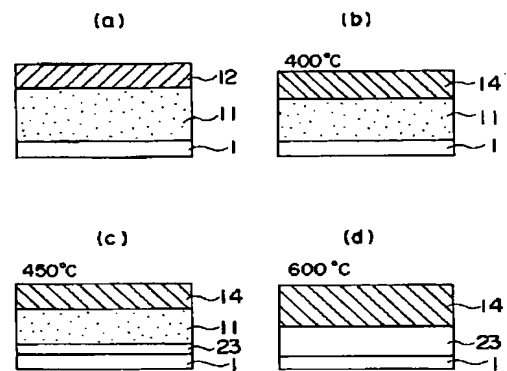
【図9】



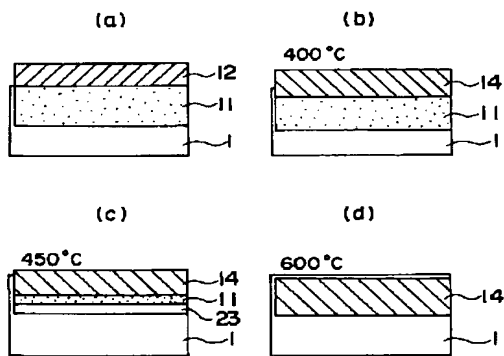
【図5】



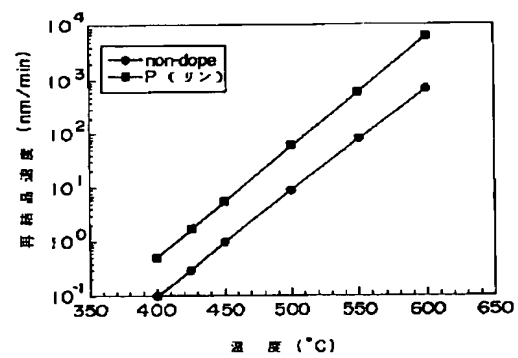
【図6】



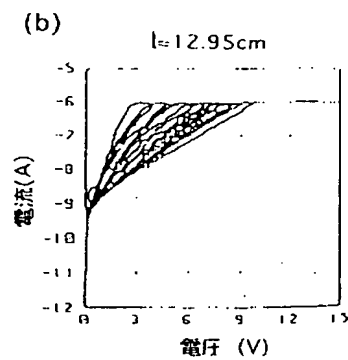
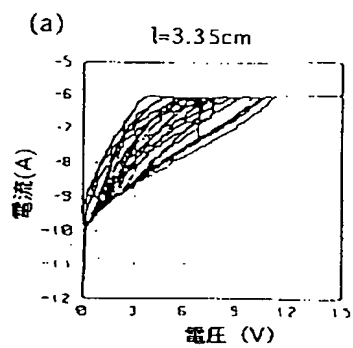
【図7】



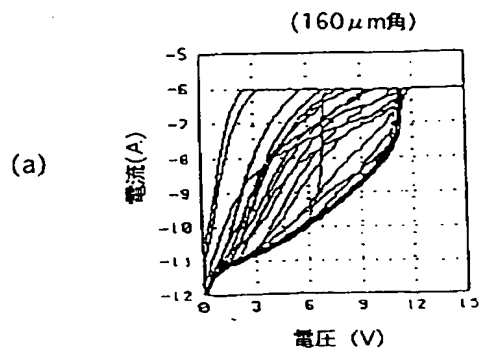
【図8】



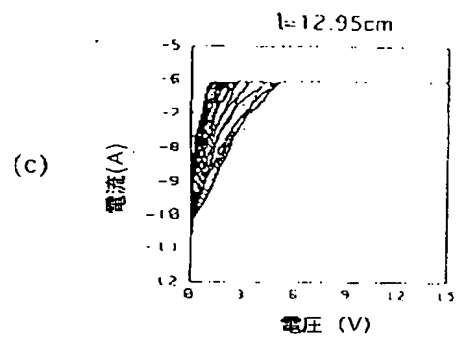
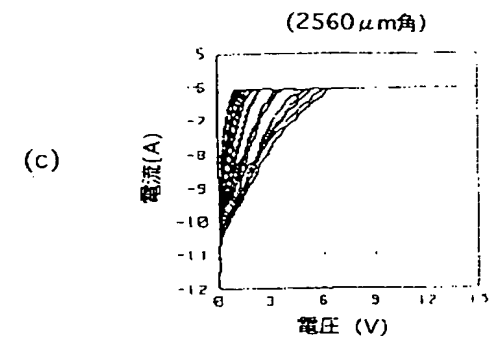
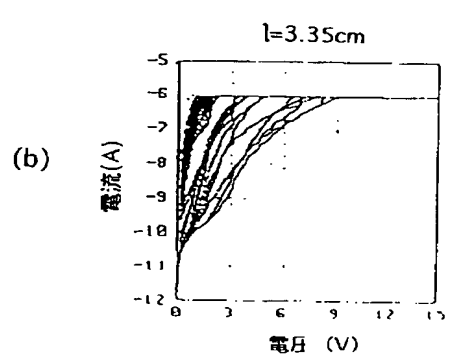
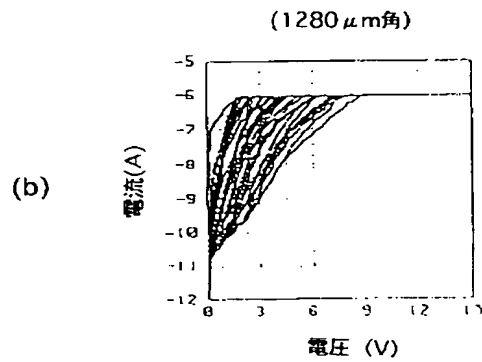
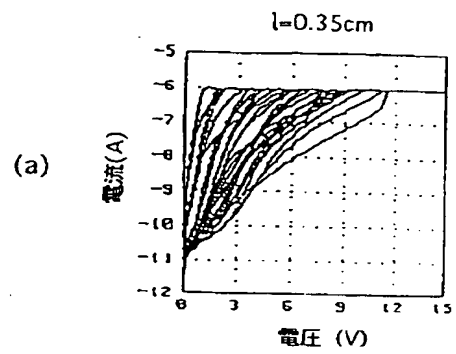
【図13】



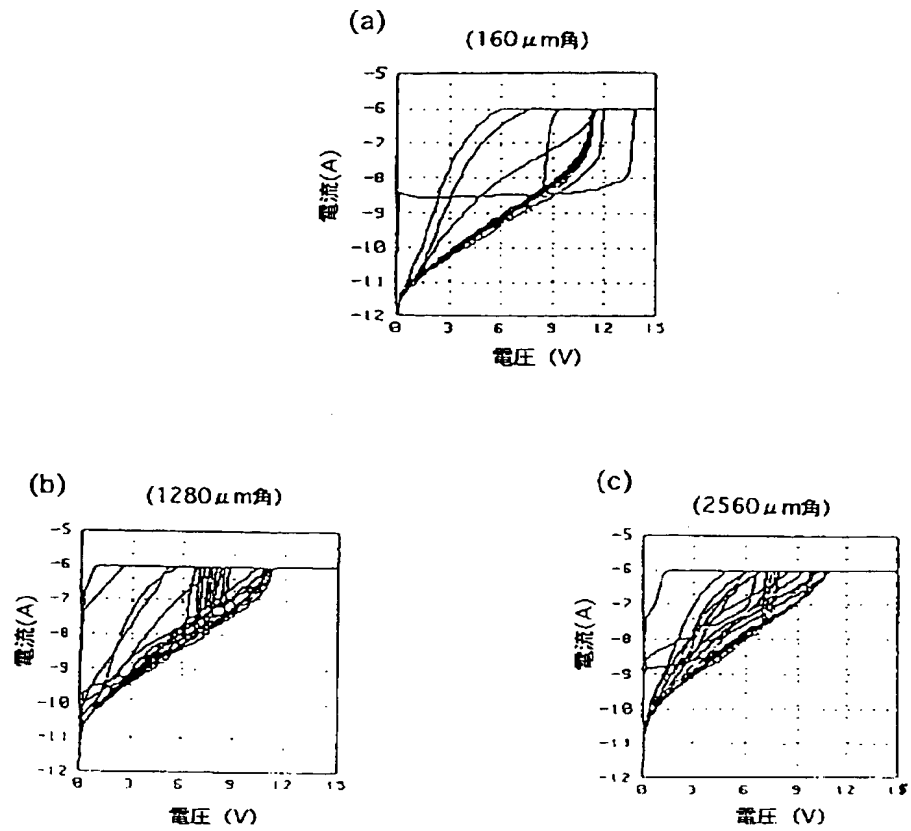
【図10】



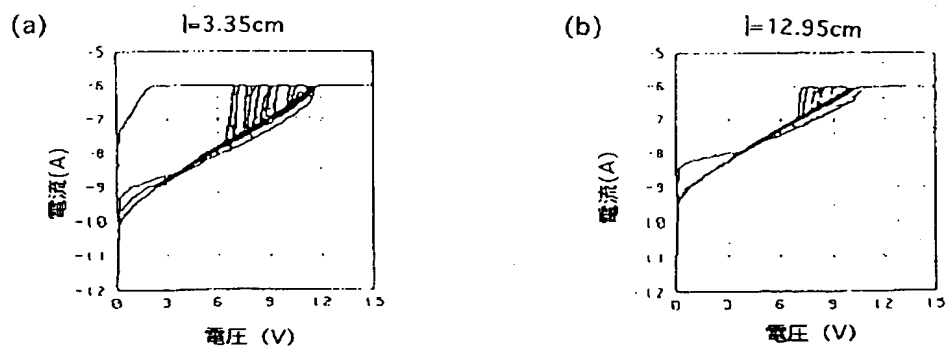
【図11】



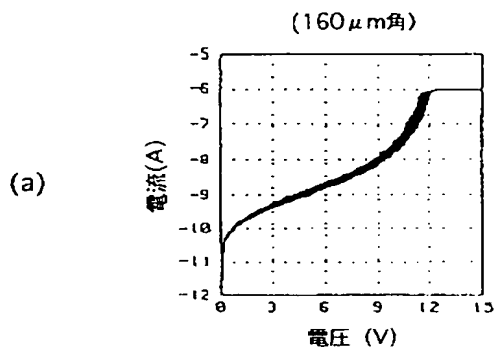
【図12】



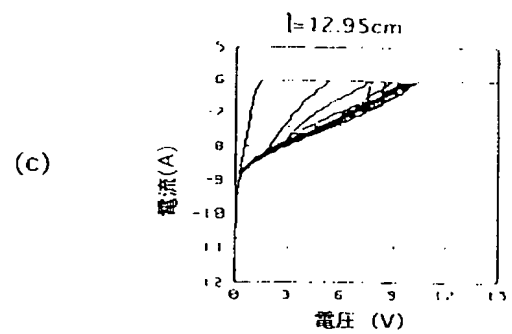
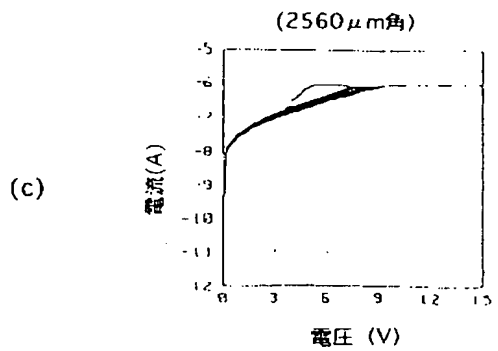
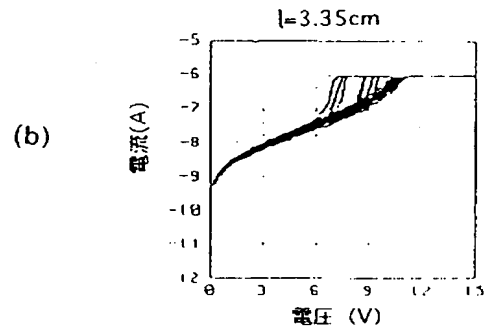
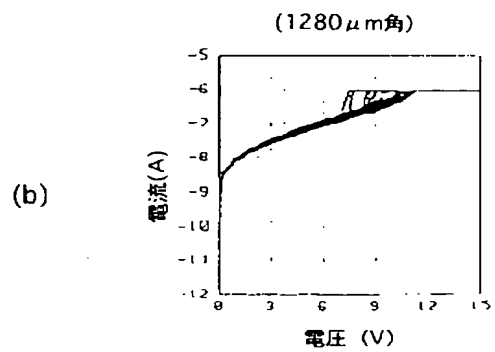
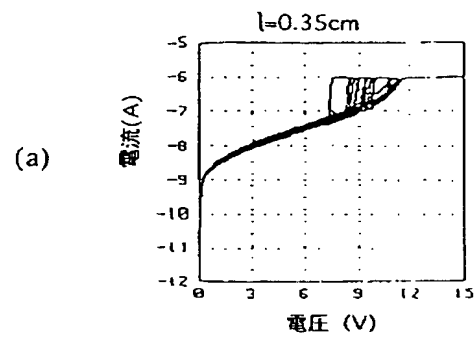
【図17】



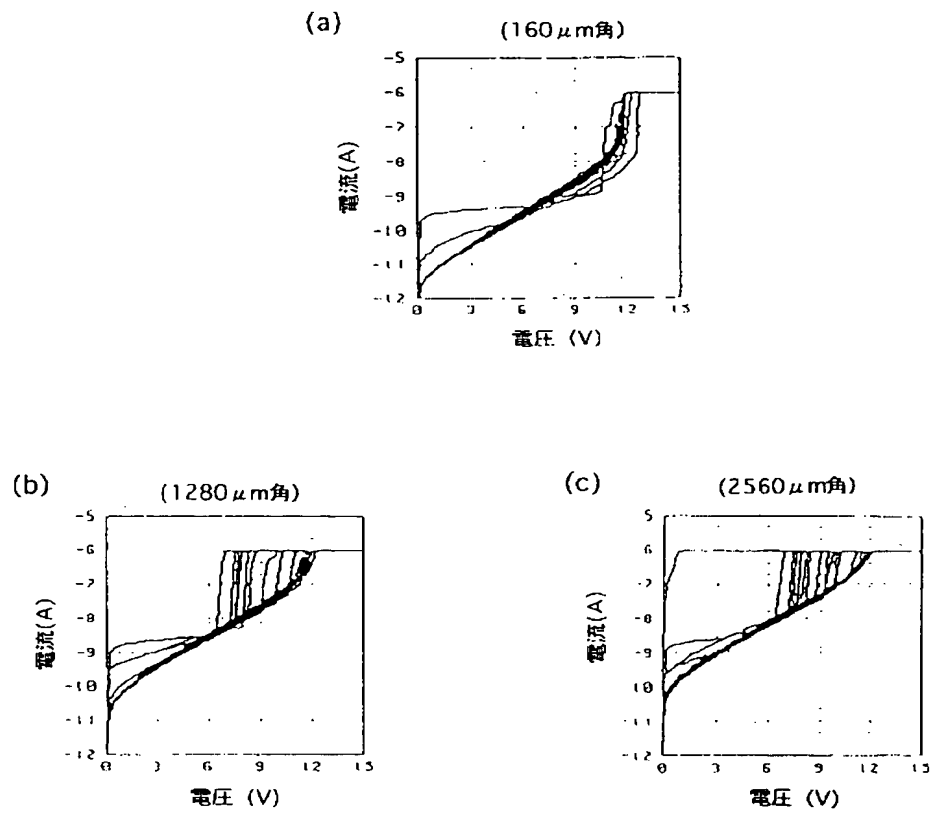
【図14】



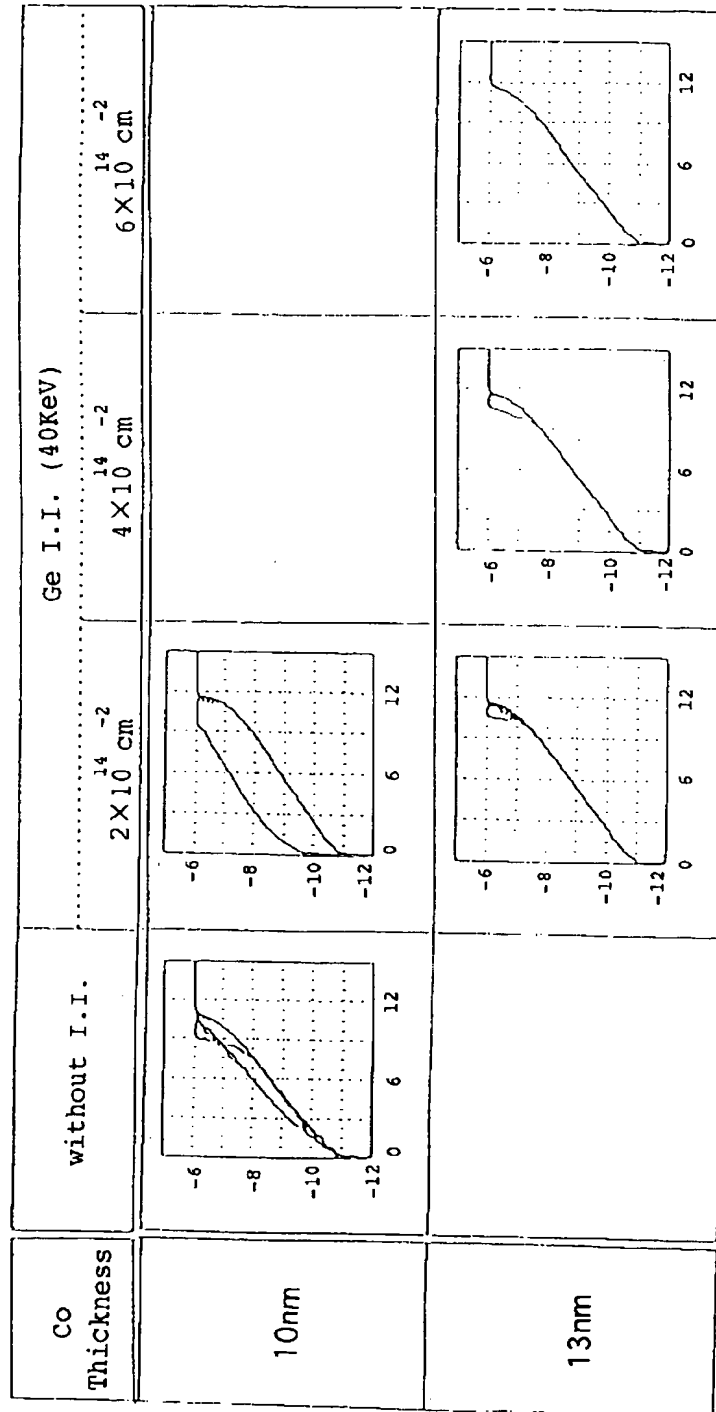
【図15】



【図16】



【図18】

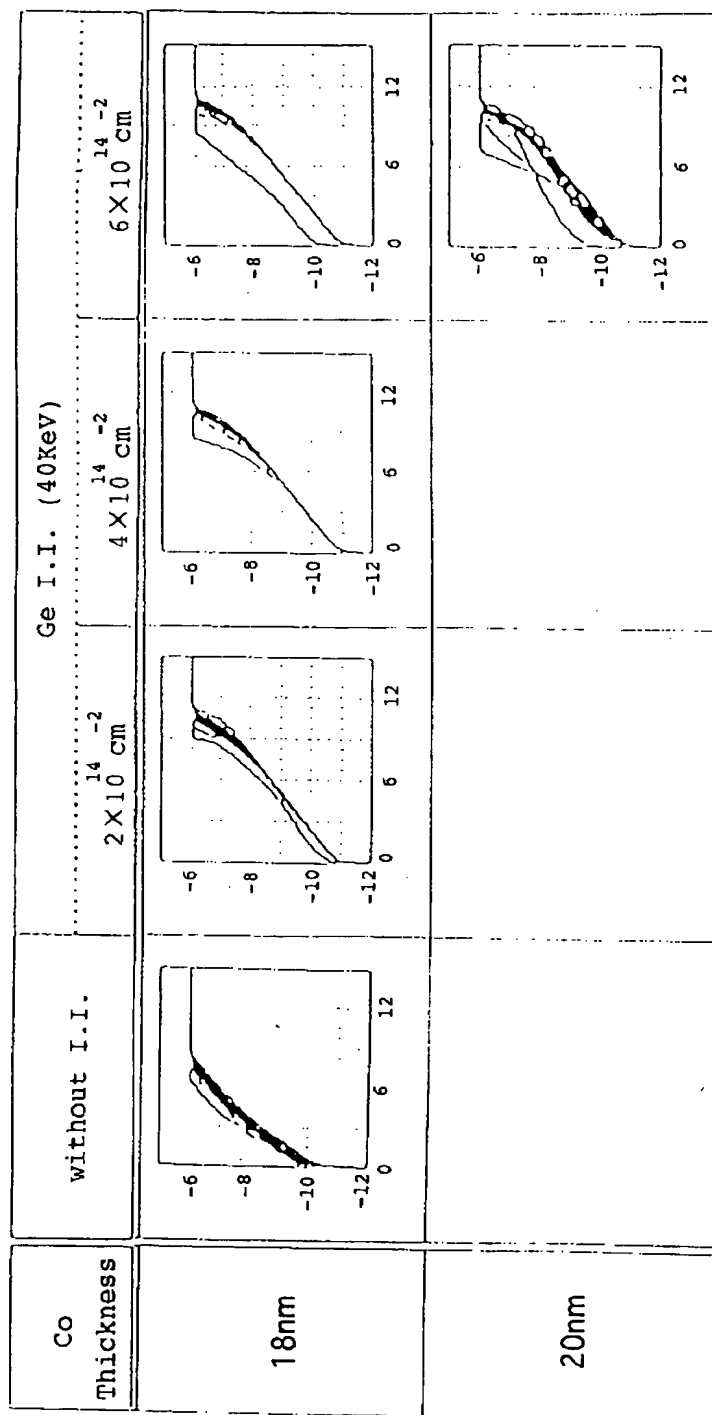


各横軸は電圧 (V) を示す

各縦軸は電流 (A) を示す

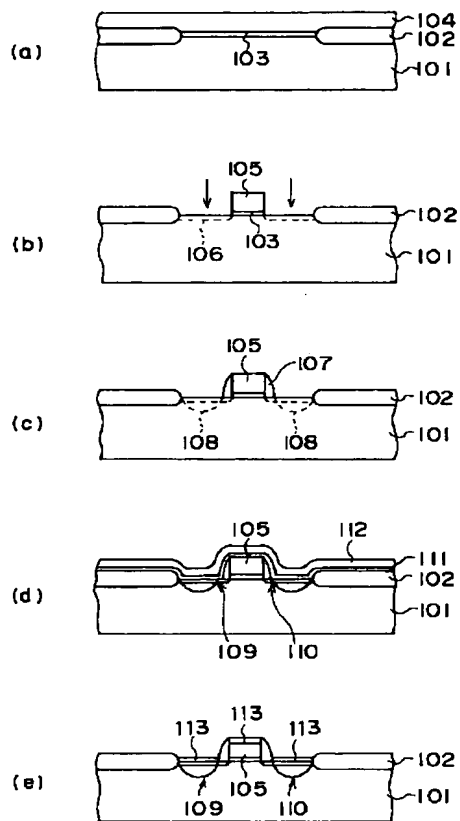


【図19】



各横軸は電圧 (V) を示す  
各縦軸は電流 (A) を示す

【図20】



フロントページの続き

(72)発明者 山崎 辰也  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 助川 孝江  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 加勢 正隆  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 佐久間 崇  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 岡崎 圭輔  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 大田 譲  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 高木 英雄  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内